

Requested Patent: JP61123969A

Title: MICROPROCESSOR ;

Abstracted Patent: JP61123969 ;

Publication Date: 1986-06-11 ;

Inventor(s): OMURA HISAHIDE ;

Applicant(s): YOKOGAWA HOKUSHIN ELECTRIC CORP ;

Application Number: JP19840245685 19841120 ;

Priority Number(s): ;

IPC Classification: G06F13/28 ;

Equivalents: JP1020457B, JP1535089C ;

ABSTRACT:

PURPOSE: To attain a bus change-over means enabling improvement of the performance of the DMA and microprocessor with a simple constitution, by disconnecting the I/O bus necessary for DMA processing, only at time of DMA, from the internal bus.

CONSTITUTION: After starting the DMA, the microprocessor μ PU 1 sets up a bus disconnecting command in the bus control register 2. The register 2 upon receipt of the command activates the local bus arbitrator 81 to disconnect the bus, requesting the master control circuit 9 for bus right and as representative, requests the μ PU 1 for bus rights. The μ PU 1 when there is request for bus rights interrupts the process underway and grants bus right. A local bus arbitrator 81 activated by a master control circuit 9 to disconnect the bus, disconnects an internal bus 3 and a local bus 61. Upon completion of this control, request for DMA is carried out with the local bus arbitrator outputting permission signal to the DMA controller and the DMA is started.

⑫ 公開特許公報(A)

昭61-123969

⑬ Int.Cl.⁴

G 06 F 13/28

識別記号

庁内整理番号

B-7165-5B

⑭ 公開 昭和61年(1986)6月11日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 マイクロプロセッサ装置

⑯ 特 願 昭59-245685

⑰ 出 願 昭59(1984)11月20日

⑱ 発 明 者 大 村 久 英 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内
⑲ 出 願 人 横河北辰電機株式会社 武蔵野市中町2丁目9番32号
⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

マイクロプロセッサ装置

2. 特許請求の範囲

マイクロプロセッサと、このマイクロプロセッサに内部バスを介して結合するバスコントロールレジスタと、前記マイクロプロセッサに内部バス、ドライバ/レシーバ及びローカルバスを介して結合するダイレクトメモリアクセスを行う入出力装置と、前記ローカルバスに結合しダイレクトメモリアクセスを制御するダイレクトメモリアクセスコントローラと、前記バスコントロールレジスタからの信号に従って前記ダイレクトメモリアクセスコントローラにローカルバスのマスター権を許可する信号を与えるローカルバスアビトレータと、前記マイクロプロセッサと前記ローカルバスアビトレータとの間に設けられバス切換の制御を行うマスターコントロール回路とを備え、ダイレクトメモリアクセス時にのみ当該ダイレクトメモリアクセス処理に必要な入出力装置が接続されるロー

カルバスを前記内部バスから切離すようにしたことを特徴とするマイクロプロセッサ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ダイレクトメモリアクセス(以下DMAと略す)のパフォーマンス向上のためのバス切換制御手段を備えたマイクロプロセッサ(以下MPUと略す)装置に関するものである。

(従来の技術)

従来、MPUと、これにバスを介して結合する複数の入出力装置(以下I/Oと略す)と、各I/O間でDMAを行うためのDMAコントローラとを備えたマイクロプロセッサ装置において、DMA時には、DMAマスターが内部バスを専有するものと、内部バスを専有せずサイクルスティーリング方式をとるものがある。

(発明が解決しようとする問題点)

しかしながら、DMA時にDMAマスターが内部バスを専有するものは、MPUの処理パフォーマンスが低下するという問題点があり、又、サイ

クルスティール方式をとるものは、DMAのパフォーマンスが低下するという問題点があった。

本発明は、これらの問題点に鑑みてなされたもので、その目的は、簡単な構成で、DMAのパフォーマンスが向上できるバス切換手段を備えたμP装置を実現することにある。

(問題点を解決するための手段)

前記問題点を解決する本発明は、マイクロプロセッサと、このマイクロプロセッサに内部バスを介して結合するバスコントロールレジスタと、前記マイクロプロセッサに内部バス、ドライバ/レシーバ及びローカルバスを介して結合するダイレクトメモリアクセスを行う入出力装置と、前記ローカルバスに結合しダイレクトメモリアクセスを制御するダイレクトメモリアクセスコントローラと、前記バスコントロールレジスタからの信号に従って前記ダイレクトメモリアクセスコントローラにローカルバスのマスター権を許可する信号を与えるローカルバスアビトレータと、前記マイクロプロセッサと前記ローカルバスアビトレータと

カルバス61、62のマスター権を許可する信号を与えるローカルバスアビトレータ(LOCAL BUS ARBITRATOR)、9はμPU1と各ローカルバスアビトレータ81、82との間に設けられ、バス切換の制御を行うマスターコントロール回路である。

このように構成した装置の動作を第2図を参照しながら説明する。ここでは、バスの切離し後、DMAを行う場合を例示する。

はじめに、μPU1は、DMAを行うI/O、DMAコントローラ等に、DMAの起動をした後、内部バス3を介してバスコントロールレジスタ2に対して、バス切離しの為のコマンドを設定する(ステップ1)。このコマンドを受取ったバスコントロールレジスタ2は、バスの切離し処理を行う為の起動(OFF COM)をローカルバスアビトレータ81(82)に与える(ステップ2)。起動が与えられたローカルバスアビトレータは、バスの切離し処理を行う前に、内部バス3のバス権を得るためにマスターコントロール回路9に対

の間に設けられバス切換の制御を行うマスターコントロール回路とを備え、ダイレクトメモリアクセス時にのみ当該ダイレクトメモリアクセス処理に必要な入出力装置が接続されるローカルバスを前記内部バスから切離すようにしたことを特徴とするものである。

(実施例)

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図は本発明装置の一実施例を示す構成ブロック図である。図において、1はμPU、2はこのμPU1に内部バス3を介して結合するバスコントロールレジスタ、41、42は内部バス3、ドライバ/レシーバ51、52及びローカルバス61、62を介してμPU1に結合するI/Oで、これらはDMAを行うことができるようになっている。71、72はローカルバス61、62に結合し、DMAを制御するDMAコントローラ、81、82はバスコントロールレジスタ2からの信号に従ってDMAコントローラ71、72にロー

してバス権の要求(BREQ)を行う(ステップ3)。マスターコントロール回路9は、個々のローカルバスアビトレータから要求されるバス権要求を代表して、μPU1にバス権要求(HALT)を行う(ステップ4)。

μPU1は、マスターコントロール回路9からバス権要求(HALT)があると、現行の処理を中断し、マスターコントロール回路9にバス権の許可(GRANT)を与える(ステップ5)。この時点から、バス上をアクセスするものはなくなり、バスへの外乱も許される。

バス権を得たマスターコントロール回路9は、バス権要求の出ているローカルバスアビトレータに対して、バス切離し処理のための起動(BUS MASTER)を与える(ステップ6)。

マスターコントロール回路9よりバス切離し処理の起動が与えられたローカルバスアビトレータは、バスドライバ/レシーバに対して制御信号(ON/OFF)を出力し、内部バス3とローカルバス61(62)との切離しを行う(ステップ

7)。この制御が終了した時点で、DMAコントローラ71(72)よりDMAの要求(DRQH)がローカルバスアビトレータに対して行われると、ローカルバスアビトレータはそのDMAコントローラに対して、許可信号(DGRNT)を出力し、DMAを開始することができる。

バスの切離し処理が終了すると、ローカルバスアビトレータは、マスターコントロール回路9に対して出力していたバス権要求(BREQ)をオフとし、バス権の返却(バス権開放)を行う(ステップ8)。

マスターコントロール回路9は、個々のローカルバスアビトレータ81(82)からのバス権要求がすべてなくなった時点で、μPU1に出力していたバス権要求(HALT)をオフとし、バス権をμPU1に返却(バス権開放)する(ステップ9)。この時点で、μPU1は、再び内部バス3及びDMAを行っていない、従って切離されていないローカルバス上のI/Oに対して自由にアクセスを行うことができるようになる。又、DM

Aの起動されたI/Oは、ローカルバスを専有してDMAを行い続ける。ここで、現在、ローカルバスが内部バス3に接続されているか否かは、バスコントロールレジスタ2の中のオン、オフステータス(ON/OFF STATUS)をμPU1側から読むことによって認識することができる。

DMAが終了したら、IRQ(インターラプトリクエスト)にてμPU1に処理終了を知らせ、μPU1はバスの接続のためのコマンドを、バスコントロールレジスタ2に与え、バス切離しと同様のシーケンスにて、ローカルバス61(62)の内部バス3への接続を行う。

尚、上記の説明において、内部バス3とローカルバスとの切離し及び接続は、ドライバ/レシーバのディレクション・アウトプット・イネーブル等の制御にて行うものであるが、この時、バス権を得てから所定の処理を行うという手法をとることによって、バス切離時のバス上への外乱による誤動作を防ぐことができる。

(発明の効果)

以上説明したように、本発明は、DMA処理に必要なI/Oのバスを、DMA時のみ内部バスから切離すようにしたもので、本発明によれば、簡単な構成で、DMAのパフォーマンスと、μPUのパフォーマンスとが向上できるバス切換手段を備えたμPU装置が実現できる。

4. 図面の簡単な説明

第1図は本発明装置の一実施例を示す構成ブロック図、第2図は動作の一例を説明するための動作説明図である。

- 1…μPU
- 2…バスコントロールレジスタ
- 3…内部バス 41, 42…I/O
- 51, 52…ドライバ/レシーバ
- 61, 62…ローカルバス
- 71, 72…DMAコントローラ
- 81, 82…ローカルバスアビトレータ
- 9…マスターコントロール回路

特許出願人 横河北版電機株式会社

代理人 弁理士 小沢 信



第1圖

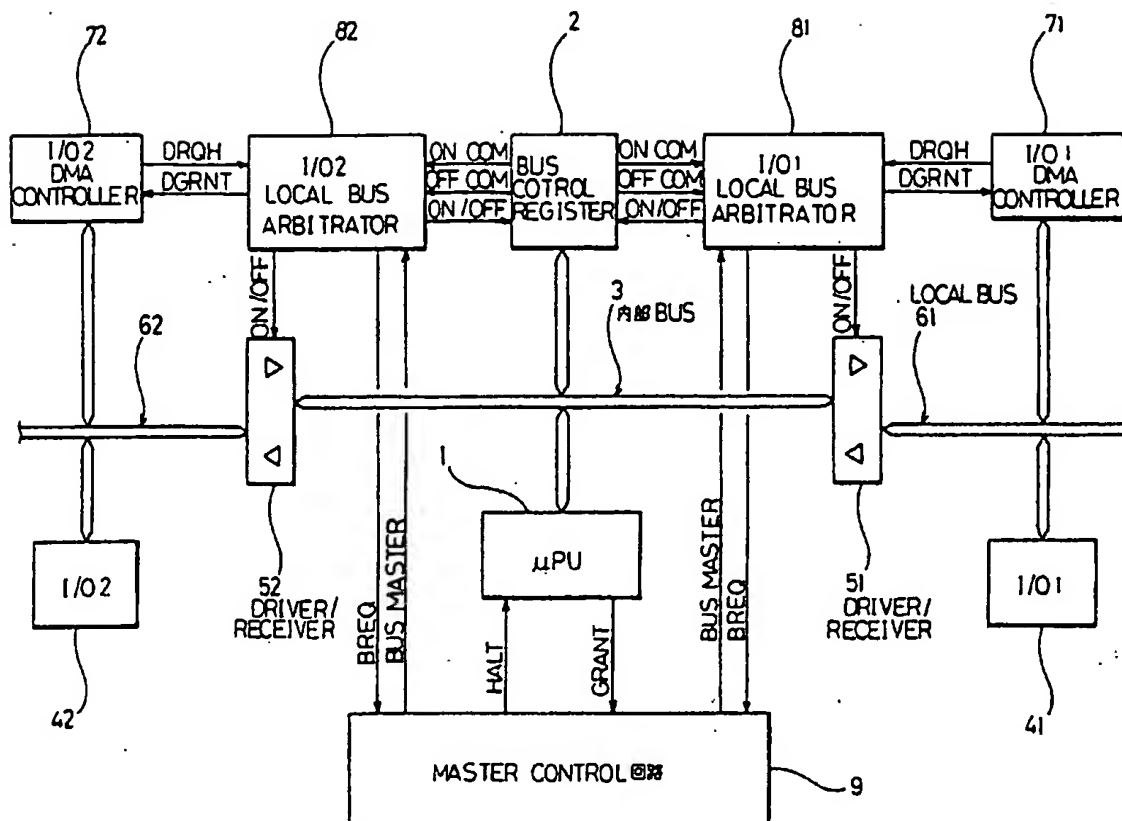
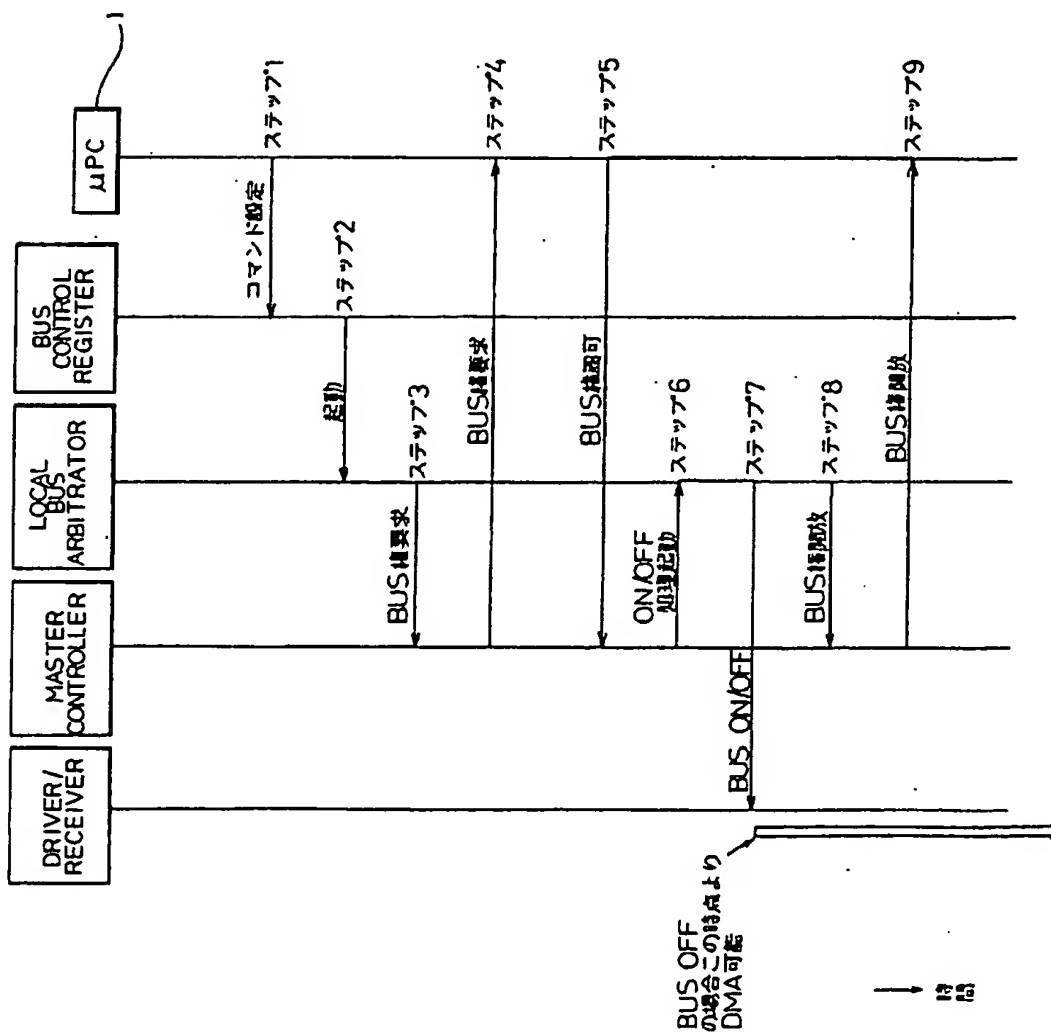


圖 2 端



手続補正書(方式)

60.4.5
昭和 年 月 日

5. 補正命令の日付

昭和60年3月6日

(発送日 昭和60年3月26日)

特許庁長官 殿



6. 補正の対象

図面の第1図及び第2図

1. 事件の表示

昭和59年 特許願 第245685号

7. 補正の内容

図面の第1図及び第2図を別紙の通り補正する。

2. 発明の名称

マイクロプロセッサ装置

以上

3. 補正をする者

事件との関係 特許出願人

住所 東京都武蔵野市中町2丁目9番32号

氏名(名称) (650) 横河北辰電機株式会社

代表者 横河正三

4. 代理人

〒180

住所 東京都武蔵野市中町2丁目9番32号

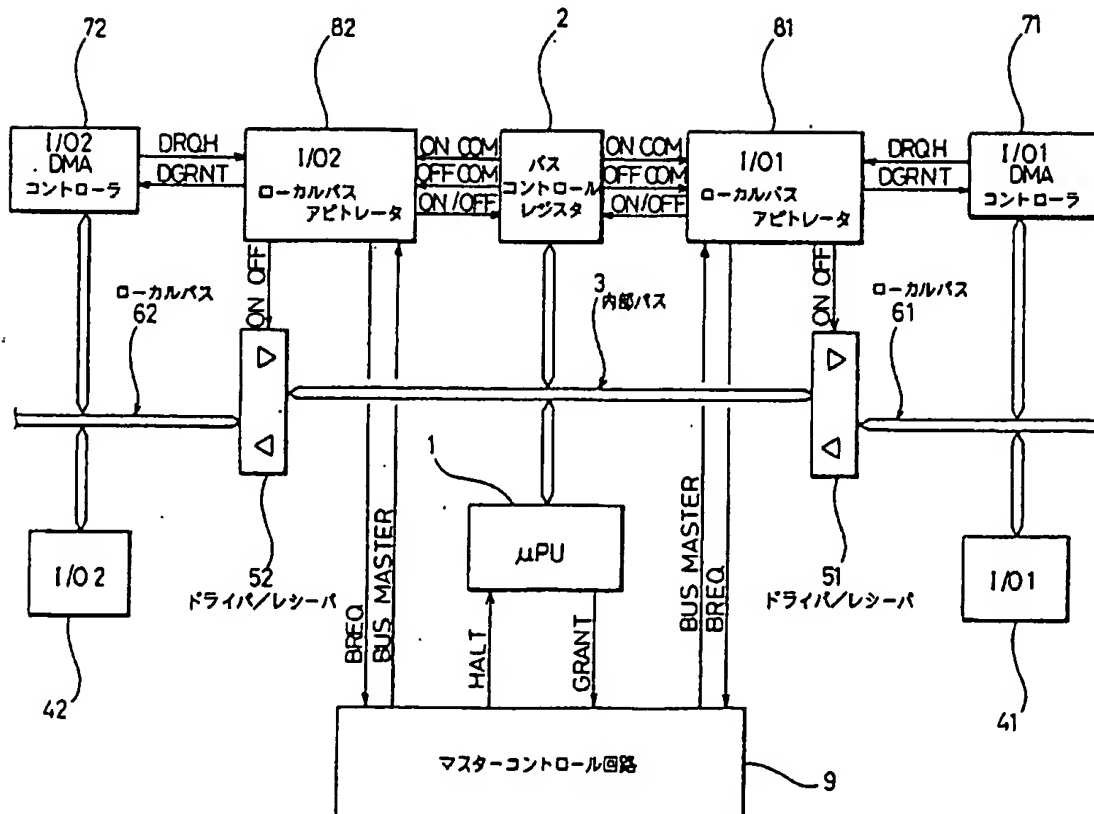
横河北辰電機株式会社内

電話 (大代) 0422-54-1111

氏名 (6692) 弁理士 小沢恒助



第1図



第2図

